

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-121500

(43)Date of publication of application : 12.05.1995

(51)Int.Cl. G06F 15/78
G06F 13/28
G06F 13/36

(21)Application number : 05-287575

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.10.1993

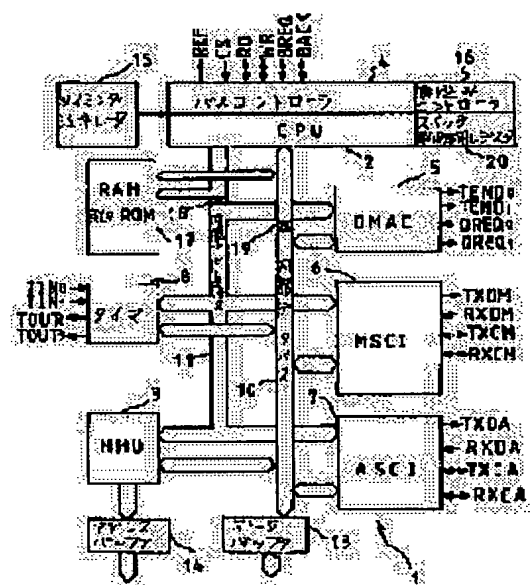
(72)Inventor : MIYAZAKI KENJI

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To improve the processing ability of a microcomputer by providing mutually independent bus switch circuits for dividing buses so as to make them usage possible in plural bus masters.

CONSTITUTION: The ON/OFF operation of the bus switch circuits 18 and 19 is controlled by executing a prescribed instruction concerning bus division by CPU 2. That is, a mode for executing a processing being equal to a conventional device with the bus switch circuits 18 and 19 in an ON—state and the mode for enabling the parallel processing by the plural bus masters with the bus switch circuits 18 and 19 in an OFF—state are changed-over. Thus, it is accurately judged where in the series of processing of a processor 1 the buses 10 and 11 are divided and the processing ability of the microcomputer is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開平7-121500

(43)公開日 平成7年(1995)5月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/78	5 1 0 A			
13/28	3 1 0 P	8944-5B		C2
13/36	3 1 0 C	8944-5B		C1

審査請求 未請求 請求項の数4 FD (全 6 頁)

(21)出願番号	特願平5-287575	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成5年(1993)10月22日	(72)発明者	宮崎 健司 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74)代理人	弁理士 玉村 静世

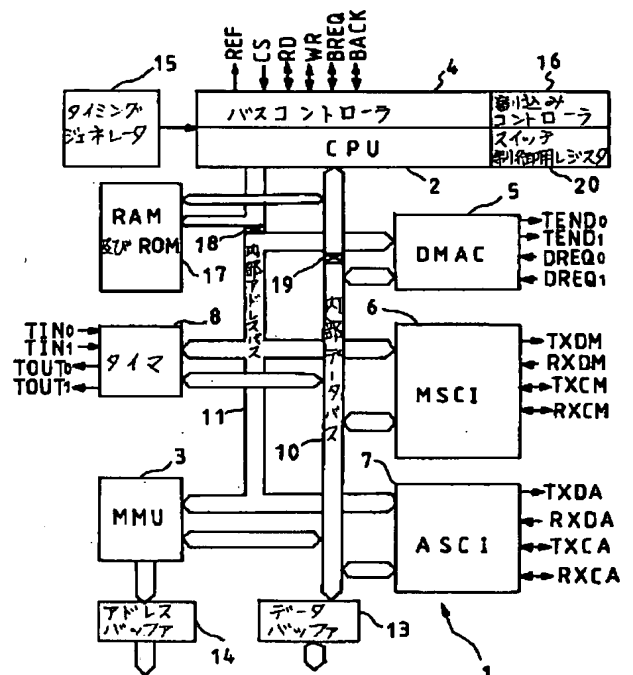
(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【目的】 本発明の目的は、マイクロコンピュータの処理能力の向上を図るための技術を提供することにある。

【構成】 バススイッチ回路 18, 19 を設け、それがオフ状態とされたとき、内部アドレスバス 11、内部データバス 10 がそれぞれ分割されることによって、CPU 2 によるメモリアクセス経路と、DMAC 5 による DMA 転送制御経路とが分離形成されるようにする。それにより、CPU 2 と DMAC 5 との並列動作を可能とし、処理能力の向上を図る。

[1]



(2)

1

【特許請求の範囲】

【請求項1】 複数のバスマスタと、それに対応するバススレーブとがバスによって互いに結合されて成るマイクロコンピュータにおいて、複数のバスマスタが、互いに独立して上記バスを使用可能に上記バスを分割するためのバススイッチ回路を含むことを特徴とするマイクロコンピュータ。

【請求項2】 中央処理装置と、それによってアクセス可能なメモリと、シリアルデータ転送を可能とするためのインタフェースと、このインタフェースを介してダイレクト・メモリ・アクセス転送を行うためのダイレクト・メモリ・アクセス・コントローラとが、共通のバスによって互いに結合されて成るマイクロコンピュータにおいて、上記バスを分割することによって、上記中央処理装置によるメモリアccess経路と、上記ダイレクト・メモリ・アクセス・コントローラによるダイレクト・メモリ・アクセス転送制御経路とを分離形成するためのバススイッチ回路を含むことを特徴とするマイクロコンピュータ。

【請求項3】 上記スイッチ回路の動作を制御するための信号を外部から供給可能とするための外部端子を含む請求項1又は2記載のマイクロコンピュータ。

【請求項4】 バス分割に関する命令に応じて上記スイッチ動作を制御するための制御手段を含む請求項1又は2記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マイクロコンピュータ、さらにはそれに含まれる複数のバスマスタの並列動作技術に関し、例えば通信プロトコルプロセッサに適用して有効な技術に関するものである。

【0002】

【従来の技術】シングルチップマイクロコンピュータのような汎用マイクロコンピュータや通信プロトコルプロセッサのような専用マイクロコンピュータは、中央処理装置（CPUと略記する）のほかに各種周辺回路を搭載している。

【0003】例えば昭和63年7月に株式会社日立製作所から発行された「HD64180S NPUユーザーズマニュアル」に記載されている通信プロトコルプロセッサは、CPUを中心に、シリアルコミュニケーションインタフェースやクロック同期式I/Oポートの他に、DMAC（ダイレクト・メモリ・アクセス・コントローラ）やタイマなどを内蔵する。この通信プロトコルプロセッサは、内蔵CPUを用いて、通信プロトコル処理やシステムに付随するアプリケーション処理を行うことができるが、その内蔵CPUの処理能力が主として通信プロトコル処理に占有されてしまう場合にはホストとなるその他のCPUがシステムのアプリケーション処理を行う。

2

【0004】

【発明が解決しようとする課題】CPUと、それによってアクセス可能なメモリと、シリアルデータ転送を可能とするためのインタフェースと、このインタフェースを介してDMA転送を行うためのDMACとが、共通のバスによって互いに結合されて成る通信プロトコルプロセッサにおいては、CPU、及びDMACのいずれかがバスの使用権を占有することになる。例えばDMACがDMA転送制御をしている間は、バスの使用権がDMACに移っており、そのときCPUはバスを使用することができないから、CPUによる通信プロトコル処理を行うことができない。しかしながら、それについて本発明者が検討したところ、DMA転送が行われている間に、CPUの処理能力を通信プロトコル処理に利用するようにすれば、通信プロトコルプロセッサのような専用マイクロコンピュータ全体としての処理能力の向上が図れることが見いだされた。

【0005】本発明の目的は、マイクロコンピュータの処理能力の向上を図るための技術を提供することにある。

【0006】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】すなわち、第1手段として、複数のバスマスタが、互いに独立してバスを使用可能に上記バスを分割するためのバススイッチ回路を設ける。

【0009】また、第2手段として、バスを分割することによって、CPUによるメモリアccess経路と、DMACによるDMA転送制御経路とを分離形成するためのバススイッチ回路を設ける。

【0010】

【作用】上記した第1手段によれば、上記バススイッチ回路は、上記バスを分割することによって、複数のバスマスタが互いに独立してバスを使用可能とし、このことが、複数のバスマスタの並列動作を可能とすることによってマイクロコンピュータの処理能力の向上を達成する。

【0011】また、上記した第2手段によれば、上記バススイッチ回路は、バスを分割することによって、CPUによるメモリアccess経路と、DMACによるDMA転送制御経路とを分離形成し、このことが、CPUとDMACとの並列動作を可能とすることによってマイクロコンピュータの処理能力の向上を達成する。

【0012】

【実施例】第1図には本発明に係るマイクロコンピュータの一実施例である通信プロトコルプロセッサのブロッ

50

3

ク図が示される。

【0013】この通信プロトコルプロセッサ1は、特に制限されないが、公知の半導体集積回路製造技術によって単結晶シリコン基板のような1個の半導体基板に形成されている。

【0014】通信プロトコルプロセッサ1は、特に制限されないが、その全体の制御を司るCPU（中央処理装置）2を中心に、メモリマネジメントユニット（以下単に「MMU」と記す）3、バスコントローラ4、DMAC（ダイレクト・メモリ・アクセス・コントローラ）5、MSCI（マルチプロトコル・シリアル・コミュニケーション・インタフェース）6、ASCI（調歩同期式・シリアル・コミュニケーション・インタフェース）7、タイマ8、そしてRAM（ランダム・アクセス・メモリ）及びROM（リード・オンリ・メモリ）17などを含み、それらは内部データバス10、及び内部アドレスバス11に共通接続されている。

【0015】上記内部データバス10及び内部アドレスバス11は、それぞれデータバッファ13、アドレスバッファ14を介して外部とインタフェース可能にされている。尚、上記内部アドレスバス11には、チップ内の各機能モジュールの選択信号などの各種制御信号を伝達するためのコントロールバスが含まれるものと解されたい。

【0016】上記MSCI6は、特に制限されないが、全二重1チャンネルを内蔵し、調歩同期、バisingクなどのバイト同期、そしてHDL C（ハイレベルデータリンクコントロール）系のビット同期を選択可能になっており、送信データTXDM、受信データRXDM、送信クロックTXCM、並びに受信クロックRXCMを、外部との間でやり取りする。

【0017】そして、上記ASCI7は全二重1チャンネルを内蔵し、調歩同期又はクロック同期を選択可能になっており、送信データTXDA、受信データRXDA、送信クロックTXCA、並びに受信クロックRXCAを、外部との間でやり取りする。上記MSCI6、ASCI7はそれぞれ送受信データの並直変換や送受信のクロック同期制御、そしてエラー検出などを行い、上位プロトコル処理は上記CPU2によって行うことができる。このMSCI6、ASCI7のそれぞれには、送信データを格納するトランスミットデータレジスタや、受信データを格納するレシーブデータレジスタ、そしてステータスレジスタ並びにコントロールレジスタなどのI/Oレジスタ群が含まれている。

【0018】上記DMAC5は、特に制限されないが、2チャンネルを内蔵し、転送要求信号に応じてメモリをアドレッシングすると同時にその転送要求信号に応ずるI/Oデバイスを選択してデータ転送を行うシングルアドレッシングモードや、リードサイクルを起動してメモリとメモリとの間でのデータ転送を行うデュアルアドレシ

(3)

4

グモード、さらにはメモリと上記MSCI6との間のチェインブロック転送モードなどをサポートする。このDMAC5には、DMA転送時のメモリアドレスを指定するメモリアドレスレジスタ、転送先又は転送元になる入出力回路のアドレスを指定するI/Oアドレスレジスタ、転送語数を指定するバイトカウントレジスタ、モードレジスタなどのI/Oレジスタ群が含まれる。DMAC5はそれぞれのチャンネルに対応して転送要求信号DREQ0、DREQ1が入力され、また、必要に応じて転送終了信号TEND0、TEND1を出力する。

【0019】DMAC5がI/Oチャンネルによるシリアルデータ転送等を制御する場合、一般に内部データバス10や、内部アドレスバス11の使用権は、CPU2からDMAC5に移されるため、その間、CPU2では通信プロトコル処理を行うことができない。そこで、本実施例では、DMAC5によるシリアルデータ転送制御が行われる場合でも、CPU2による通信プロトコル処理を可能とするため、CPU2、及びDMAC5が互いに独立して上記バスを使用可能に上記バスを分割するためのバススイッチ回路18、19を、それぞれ内部アドレスバス11、内部データバス10に設けている。つまり、バススイッチ回路18、19が共にオン状態の場合には、内部データバス10及び内部アドレスバス11は従来装置の場合と等価になり、バスマスタであるCPU2、DMAC5のいずれかが、内部データバス10、内部アドレスバス11の使用権を占有することになるが、バススイッチ回路18がオフ状態とされることによって内部アドレスバス11が2分割され、また、バススイッチ回路19がオフ状態とされることによって内部データバス10が2分割された状態では、MSCI6やASCI7を使用してDMAC5によるシリアルデータ転送が行われている場合でも、CPU2によるRAM及びROM17のアクセスが可能とされるから、DMAC5によるシリアルデータ転送制御と、CPU2による通信プロトコル処理とを並列的に行うことができる。ここで、上記RAM及びROM17におけるRAMは、CPU2による演算処理の作業領域等の一時記憶装置として使用され、ROMは、CPU2で実行されるプログラムを格納するプログラムメモリとされる。

【0020】そして、本実施例では、プロセッサの一連の処理のどこでバスの分割を行うべきかの判断的確化を図るため、CPU2によって、バス分割に関する所定の命令が実行されることによって、バススイッチ回路18、19のオン/オフ動作が制御されるようになっている。つまり、バススイッチ回路18、19をオン状態として従来装置と等価な処理を行うモードと、バススイッチ回路18、19をオフ状態として複数バスマスタによる並列処理を可能とするモードとの切替えが、CPU2によって制御されるようになっている。そのような意味で、本発明においてバススイッチ回路の動作を制御する

(4)

5

ための制御手段は、CPU 2によって実現される。

【0021】上記タイマ8は、特に制限されないが、2チャンネルを内蔵し、リロード方式カウンタや、外部イベントのカウンタ機能などを有し、外部クロックやトリガ信号TIN0、TIN1が外部から与えられ、これに応じたタイマ出力TOUT0、TOUT1を得る。このタイマ8には、計数初期値などが設定されるタイマデータレジスタやそのタイマデータレジスタにリロードすべきデータが設定されるタイマリロードレジスタ、そしてコントロールレジスタなどのI/Oレジスタ群が含まれている。

【0022】尚、特に制限されないが、外部からの割込み処理を行うための割込みコントローラ16が設けられ、また、水晶振動子などによる発振動作を利用してタイミング信号を発生するためのタイミングジェネレータ15が設けられている。

【0023】図2には上記バススイッチ回路18、19の構成例が示される。

【0024】バススイッチ回路18、19は互いに同一構成とされる。特に制限されないが、図2に示されるバススイッチ回路18(19)は、トランスファMOSトランジスタ21-1乃至21-nを含み、このトランスファMOSトランジスタ21-1乃至21-nが、内部アドレスバス11の構成ビットに対応して配置されている。CPU 2によってスイッチ制御信号φ1~φnがハイレベルとされた場合に、トランスファMOSトランジスタ21-1乃至21-nがオン状態とされ、また、CPU 2によってスイッチ制御信号φ1~φnがローレベルとされた場合に、トランスファMOSトランジスタ21-1乃至21-nがオフ状態とされる。トランスファMOSトランジスタ21-1乃至21-nがオン状態とされた場合、当該トランスファMOSトランジスタ21-1乃至21-nは双方向に信号伝達を可能とする。また、トランスファMOSトランジスタ21-1乃至21-nがオフ状態とされた場合、内部アドレスバス11は、図2においてトランスファMOSトランジスタ21-1乃至21-nの配列位置で2分割され、信号伝達が阻止される。そのようなトランスファMOSトランジスタ21-1乃至21-nのオン/オフ制御は、特に制限されないが、スイッチ制御用レジスタ20等の記憶手段のフラグ状態によって行うことができる。例えば、スイッチ制御用レジスタ20にセットされたフラグ状態が、“1”であれば、スイッチ制御信号φ1~φnがハイレベルとされることによって、トランスファMOSトランジスタ21-1乃至21-nがオン状態とされ、また、スイッチ制御用レジスタ20にセットされたフラグ状態が、“0”であれば、スイッチ制御信号φ1~φnがローレベルとされることによって、トランスファMOSトランジスタ21-1乃至21-nがオフ状態とされる。上記スイッチ制御用レジスタ20へのフラグ設定

6

は、CPU 2によって、バス分割に関する命令が実行されることによって行われる。

【0025】次に、バス分割の手順について説明する。

【0026】例えば、DMAC 5によるDMA転送と、CPU 2による通信プロトコル処理とを並列的に行うことができる場合のように、CPU 2とDMAC 5とを並列動作可能であることが、CPU 2によって判断された場合、先ずCPU 2は、スイッチ制御用レジスタ20のフラグ状態を“1”から“0”に変更する。それにより、バススイッチ回路18、19がオフ状態とされ、それによって内部アドレスバス11、及び内部データバス10がそれぞれ2分割される。このバス分割後、CPU 2はDMAC 5に対して起動を指示する。それを受けてDMAC 5が起動され、DMA転送処理が開始される。また、このとき、CPU 2は、上記DMA転送処理にかかわらず、RAM及びROM 17のアクセスが可能となるから、通信プロトコル処理のプログラムを実行することによって、通信プロトコル処理を開始することができる。

【0027】スイッチ回路18、19によって分割されたバスの再結合は次のように行われる。

【0028】DMAC 5によるDMA転送が終了し、バス分割の必要性が無くなると、DMAC 5によって内部割込み信号がアサートされる。このDMAC 5からの割込みが割込みコントローラ16によって処理され、それがCPU 2に伝えられると、その後、適当な時期に、スイッチ制御用レジスタ20のフラグ状態が、“1”にセットされる。それにより、バススイッチ回路18、19がオン状態となり、バスが再結合される。

【0029】上記実施例によれば以下の作用効果が得られる。

【0030】(1)バススイッチ回路18、19がオフ状態とされたとき、内部アドレスバス11、内部データバス10がそれぞれ分割されることによって、CPU 2によるメモリアクセス経路と、DMAC 5によるDMA転送制御経路とが分離形成される。そのため、CPU 2とDMAC 5との並列動作が可能とされ、通信プロトコルプロセッサの処理能力の向上を図ることができる。

【0031】(2)CPU 2によって、バス分割に関する所定の命令が実行されることによって、バススイッチ回路18、19のオン/オフ動作が制御されるようになっているので、換言すれば、バススイッチ回路18、19をオン状態として従来装置と等価な処理を行うモードと、バススイッチ回路18、19をオフ状態として複数バスマスタによる並列処理を可能とするモードとの切換えが、CPU 2によって行われるようになっているので、プロセッサの一連の処理のどこでバスの分割を行うべきかの判断の的確化を図ることができる。このことは、プログラムによって明示的にバス構成の変更が可能であることを意味し、プログラムの処理手順の自由度を

(5)

7

向上させる。

【0032】図3にはバススイッチ回路18, 19の他の構成例が代表的に示される。

【0033】バススイッチ回路18(19)を構成するスイッチ31-1乃至31-nは、それぞれ二つのトライステートバッファによって構成される。代表的に示されるスイッチ31-1は、トライステートバッファ35, 36が、互いに逆向きとなるように並列接続されている。スイッチ制御信号φ1, φ1'によって、トライステートバッファ35, 36の動作が制御される。トライステートバッファ35, 36が共に、オン/オフ制御されるとき、スイッチ31-1は双方向性スイッチとして機能するが、トライステートバッファ35, 36のいずれかをオン状態とすることによって、一方方向にのみ信号を伝達することができる。尚、他のスイッチ31-2乃至31-nも同様に構成される。

【0034】図4には他の実施例が示される。

【0035】上記実施例では、二つのバスマスタを有する場合について説明したが、三つ以上のバスマスタを有する場合も考えられ、その場合においても本発明を適用することができる。例えば図4においては、バスマスタ41, 42, 43が設けられ、それに対応してバススレーブ51, 52, 53が設けられる。バスマスタ41, 42, 43と、バススレーブ51, 52, 53は、アドレスバス61、及びデータバス62によって互いに信号のやり取りが可能に結合されている。そして、バスマスタ41, 42, 43が、互いに独立して上記アドレスバス61、及びデータバス62を使用可能に当該バスを分割するためのバススイッチ回路71, 72, 81, 82が設けられている。このバススイッチ回路71, 72, 81, 82には、上記実施例と同一構成のものを適用することができる。バススイッチ回路71, 72, 81, 82がオフ状態とされたとき、バスマスタ41によるバススレーブ51のアクセス、バスマスタ42によるバススレーブ52のアクセス、及びバスマスタ43によるバススレーブ53のアクセスは、並列的に行うことができる。そして、上記実施例の場合と同様に、一連の処理のどこでバスの分割を行うべきかの判断の的確化を図るため、バスマスタ41によって、バス分割に関する所定の命令が実行されることによって、バス分割、及びバス再結合を行うように構成することができる。

【0036】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0037】例えば、上記実施例ではCPU2によってバススイッチ回路18, 19の動作を制御するようにしたが、DMAC5によってバススイッチ回路18, 19の動作制御を行うように構成することができる。この場合、スイッチ動作を制御するための制御手段は、DMA

8

C5によって形成される。このように、DMAC5によってバススイッチ回路18, 19の動作制御を行う場合において、DMAC5によってスイッチ制御用レジスタ20へのフラグ設定を行うように構成することができる。

【0038】また、図1に示されるスイッチ回路18, 19や、図4に示されるスイッチ回路71, 72, 81, 82の動作を制御するための信号を外部から供給可能とするための外部端子を設ければ、当該外部端子を介して、外部からスイッチ回路の動作を制御することができる。

【0039】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である通信プロトコルプロセッサに適用した場合について説明したが、本発明はそれに限定されるものではなく、シングルチップマイクロコンピュータのような汎用マイクロコンピュータや各種データ処理装置に適用することができる。

【0040】本発明は、少なくとも複数のバスマスタを備えることを条件に適用することができる。

【0041】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0042】すなわち、複数のバスマスタが、互いに独立してバスを使用可能に上記バスを分割するためのバススイッチ回路を設けることによって、複数のバスマスタの並列動作が可能とされ、マイクロコンピュータの処理能力の向上を図ることができる。

【0043】バスを分割することによって、CPUによるメモリアクセス経路と、DMACによるDMA転送制御経路とを分離形成するためのバススイッチ回路を設けた場合には、CPUとDMACとの並列動作が可能とされ、マイクロコンピュータの処理能力の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例である通信プロトコルプロセッサの主要部の構成ブロック図である。

【図2】上記通信プロトコルプロセッサの主要部の回路図である。

【図3】上記通信プロトコルプロセッサの主要部の回路図である。

【図4】本発明の他の実施例装置の構成ブロック図である。

【符号の説明】

- 1 通信プロトコルプロセッサ
- 2 CPU
- 3 MMU
- 4 バスコントローラ
- 5 DMAC

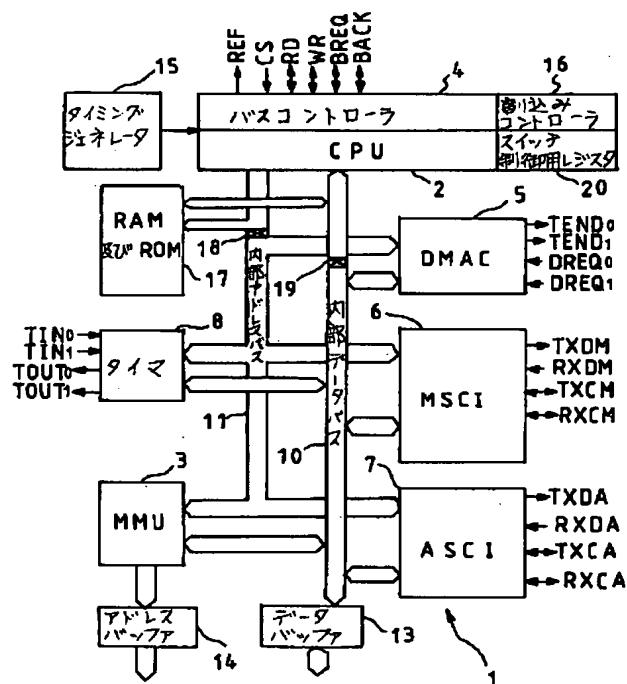
(6)

- 6 MSCI
7 ASCI
8 タイマ
10 内部データバス
11 内部アドレスバス
13 データバッファ
14 アドレスバッファ

9

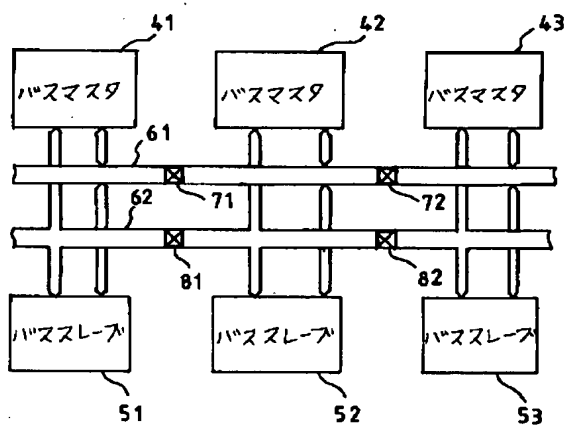
【図1】

【図1】



【図4】

【図4】

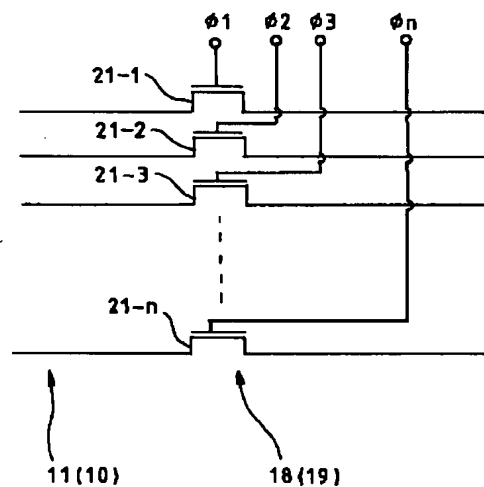


10

- 15 タイミングジェネレータ
16 割込みコントローラ
17 RAM及びROM
18 バススイッチ回路
19 バススイッチ回路
20 スイッチ制御用レジスタ

【図2】

【図2】



【図3】

【図3】

